

REALIZACIÓN CABLEADA DE REDES DE PETRI BINARIAS

J. MARTÍNEZ, M. SILVA, S. VELILLA

En este trabajo se presentan de forma muy esquemática las bases para la realización cableada "casi-directa" de sistemas modelados con RdP. Las técnicas consideradas son modulares (un módulo es un subsistema lógico que posee un elemento de memorización denominado célula), mencionándose las dos técnicas básicas de desactivación de módulos: Transferencia Impulsional y Llamada-Respuesta. También se aborda de forma sucinta el análisis de funcionamientos aleatorios.

1. INTRODUCCION

Las redes de Petri (RdP) constituyen una de las más interesantes herramientas para el modelado de sistemas concurrentes. Entre otras aplicaciones (modelado de software,...), las RdP se utilizan con notable éxito en la concepción de sistemas lógicos con memoria.

La concepción de un sistema lógico comprende tres etapas básicas: (1) la descripción, (2) la validación funcional y eventual simplificación del modelo construido en la primera etapa y (3) la realización del sistema.

Para abordar el problema de la realización de sistemas modelados con RdP existen tres grupos de técnicas:

- 1) Técnicas cableadas.
- 2) Técnicas programables con macrocomponentes (ROM, PLA).
- 3) Técnicas programables, eventualmente con computadores especializados denominados genéricamente, Automatas Programables.

En este trabajo se aborda rápidamente la realización cableada de RdP binarias, clase de modelos que se adapta especialmente bien a la representación de sistemas lógicos.

En el segundo párrafo se comentarán las ideas básicas sobre realización modular y se presen-

tarán diversos tipos de células de memoria elementales que materializarán los lugares de la red.

En el siguiente párrafo se abordará el diseño de los módulos que constituirán la realización cableada de la red y su conexionado. Por último (§4) se establecen, a modo de conclusión, una serie de cuestiones adicionales.

2. CELULA DE MEMORIA ELEMENTAL.

2.1 IDEA BASICA PARA LA REALIZACIÓN CABLEADA DE RdP.

La realización cableada de un sistema modelado con una RdP debe conservar lo más fielmente posible la estructura de la red descriptora. Con ello se facilita la puesta a punto, el mantenimiento y la modificabilidad del sistema.

Un "cableado directo" de una RdP puede lograr se mediante una realización modular. Un módulo consta de un elemento o célula de memoria, que materializa un lugar de la red, y de cierta lógica combinacional, necesaria para realizar la conexión entre células (lugares). Esta lógica combinacional materializa las transiciones de la red.

- J. Martínez, M. Silva, S. Velilla - Dpto. de Automática de la E.T.S. Ingenieros Industriales de Zaragoza

- Article rebut el Setembre de 1982.

- Aquest treball va ser presentat a les 1^{es}. Jornades del Diseny Llogic a Barcelona del 15 al 17 de Juliol de 1981.

El conjunto de módulos interconectados constituirá la realización cableada de la RdP.

2.2 CÉLULA ASÍNCRONA ELEMENTAL.

Consideremos el lugar p_j de una RdP binaria (figura 1) al que asociaremos una célula de valor lógico Y_j . "p_j" podrá estar marcado o desmarcado. Ello corresponderá a los valores lógicos de Y_j "1" (célula activada) ó "0" (célula desactivada), respectivamente.

La célula Y_j deberá activarse cuando se dispare alguna de las transiciones de entrada - de p_j y desactivarse cuando se dispare alguna de las de salida. Las condiciones de activación y desactivación de la célula "j" serán:

$$C_{Aj} = \sum_{i=1}^n \text{disparo}(t_{ij}) = \sum_{i=1}^n A_{ij} \cdot \prod_{\alpha=1}^a Y_{i\alpha} \quad (2.2.1)$$

$$C_{Dj} = \sum_{k=1}^m \text{disparo}(t_{jk}) = \sum_{k=1}^m A_{jk} \cdot \prod_{\rho=1}^r Y_{j\rho} \quad (2.2.2)$$

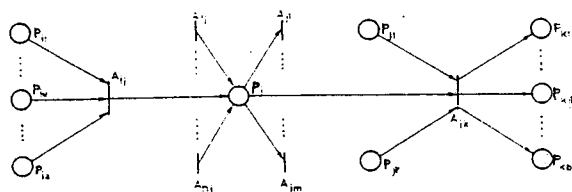


Figura 1: Definición general de un lugar p_j .

La ecuación que define el comportamiento de la célula de memoria asínrona puede expresarse como

$$Y_j = C_{Aj} + Y_j \cdot \bar{C}_D \quad (\text{biestable R-S con activación prioritaria}).$$

Las células deben llevar un elemento de retardo Δ a su salida para evitar el problema de aleatoriedades que se estudia en el párrafo siguiente. Suelen tener varias entradas de activación y desactivación. Dos células típicas se muestran en la figura 2.

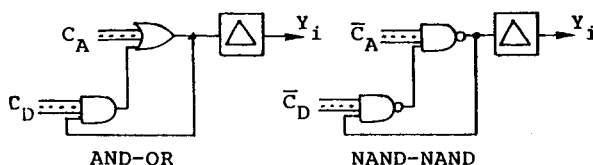


Figura 2: Esquema lógico de células de memoria asínronas.

2.3 ANALISIS DE ALEATORIEDADES ESENCIALES - EN EL CABLEADO CON CELULAS ASÍNCRONAS

Existe una aleatoriedad esencial en una RdP receptiva a x , cuando difieren los marcados obtenidos al realizar uno y tres cambios consecutivos en el valor de la condición x . --- /SIL 82 / .

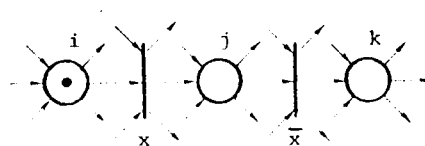


Figura 3: SubRdP y aleatoriedad esencial.

Un funcionamiento aleatorio (fig. 3) puede conducir a las situaciones anómalas siguientes:

- 1) Desactivación del elemento de memoria "i" sin haberse activado el "j".
- 2) Activación simultánea de los elementos de memoria "j" y "k", debido a un solapamiento de x y \bar{x} .
- 3) Discontinuidad de las salidas asociadas simultáneamente a "i" y a "j", o bien a "j" y a "k".

Estudiaremos brevemente las condiciones necesarias para evitar los tres funcionamientos anómalos enunciados.

Tanto las células de memoria definidas como sus conexiones están constituidas por puertas lógicas. La evolución de las señales en los diferentes puntos del circuito se verá mediatizada por los retrasos introducidos por cada puerta.

- 1) Para asegurar la activación de la memoria del módulo "j" a partir de la memoria del

"i" es necesario que el retraso Δ_d , de desactivación de la "i", sea superior a Δ_1 , duración mínima de la señal que garantiza la activación de "j".

$$\Delta_d > \Delta_1 \quad (1)$$

2) Para evitar una activación simultánea de "j" y "k" es necesario que el retraso Δ_a , de activación de "j", sea superior a la duración máxima del solapamiento, Δ_2 , entre x y \bar{x} .

$$\Delta_a > \Delta_2 \quad (2)$$

3) Para evitar una discontinuidad en las salidas comunes asociadas a dos lugares -- consecutivos, es necesario que el solapamiento entre las salidas de las células asociadas a ambos lugares sea superior a cierto Δ_3 , que depende de la tecnología empleada y de la lógica que relaciona las células con la salida considerada

$$\Delta_d - \Delta_a > \Delta_3 \quad (3)$$

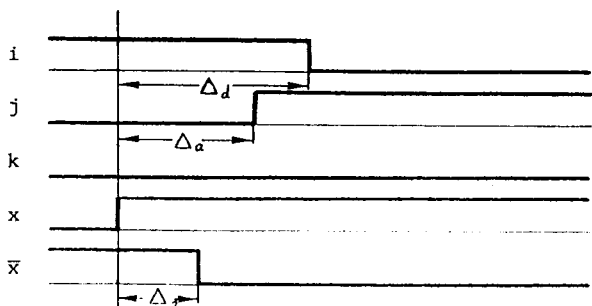


Figura 4: Cronograma correspondiente a la RdP de la figura 3

Los problemas de aleatoriedades debidos a las condiciones (1) y (2) pueden subsanarse introduciendo un elemento de retardo ($\Delta = \{\Delta \text{ subida, } \Delta \text{ bajada}\}$) a la salida de cada célula (véase fig. 2).

En lo concerniente al posible problema de discontinuidad de las salidas asociadas a lugares consecutivos, conviene aclarar que no suele ser importante en automatismos industriales cuando estos atacan directamente la etapa de potencia. No obstante, pueden presentarse problemas importantes si las salidas atacan - otros sistemas secuenciales o concurrentes.

2.4 CELULA SINCRONA ELEMENTAL

Hemos visto que a cada lugar de una red puede asociársele una célula de memoria asincrónica. Análogamente puede pensarse en células - sincrónicas que realicen una misión similar.

Diseños de células sincrónicas se muestran en la fig. 5, realizadas a base de biestables - J-K y D con una lógica auxiliar elemental.

Conviene señalar que todas las células presentadas en las figuras 2 y 5 son de activación prioritaria, es decir, se activan si

$$C_A = C_D = 1.$$

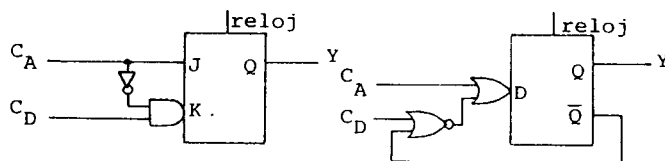


Figura 5: Células sincrónicas diseñadas con biestables J-K y D.

3. REALIZACION MODULAR

3.1 DISEÑO DE UN MÓDULO.

Después de estudiar las posibles células que pueden asociarse a los lugares de una RdP, - el siguiente paso consiste en integrar en un mismo módulo una célula de memoria (lugar) y la lógica necesaria para materializar sus -- transiciones, bien de entrada o bien de salida del lugar. Ninguna de las dos alternativas debe descartarse de antemano por razones lógicas o técnicas. En los módulos que hemos desarrollado para construir un simulador de RdP /MAR 81/ nos hemos inclinado por asociar a cada lugar sus transiciones de entrada. Esta decisión se ha tomado en base a que resulta más intuitiva la idea de que el disparo - de una transición marca lugares, en vez de - pensar que los desmarca.

En el § 2.2 se mostraron las condiciones de activación y desactivación de la célula elemental. La lógica adicional que debe añadirse al módulo para elaborar la señal de activación de la célula viene impuesta por la expresión (2.2.1).

La condición de desactivación de una célula se elabora normalmente a partir de dos enfo-

ques distintos:

- 1) La suma lógica de las condiciones de disparo asociadas a las transiciones de salida del lugar considerado; técnica de conexiónado que se denomina por transferencia impulsional (TI) (ecuación 2.2.2).

De cara al cableado, estas condiciones -- son las mismas que se utilizan para la activación de las células asociadas a los -- lugares de salida de las transiciones disparadas.

- 2) La suma lógica de las condiciones que expresan la activación de todos los lugares de salida de una de las transiciones de salida del lugar considerado; técnica de conexiónado que se denomina por llamada respuesta (LL/R).

La ecuación de desactivación de la j-ésima célula será, por consiguiente:

$$C_{Dj} = \sum_{k=1}^m \prod_{\beta=1}^b Y_{k\beta}$$

El diseño del módulo queda limitado a la toma de dos decisiones: (1) elegir una célula de memoria y (2) diseñar la combinatoria necesaria para elaborar las señales de activación y desactivación de la célula. En este -- último punto, tiene especial importancia la consideración del número de transiciones de entrada y de salida de cada lugar y del número de lugares de entrada de cada transición.

A título ilustrativo en la figura 6 se presentan dos posibles módulos, uno asíncrono y otro síncrono.

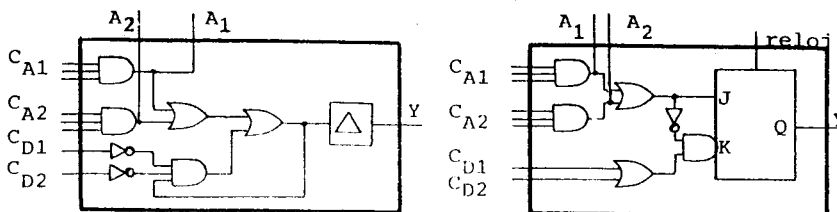


Figura 6: Módulos para realización cableada de RDP

En principio ambos están previstos para dos transiciones de entrada (activación) y dos de salida (desactivación). Estos parámetros pueden incrementarse añadiendo exteriormente las

puertas lógicas necesarias. Por otra parte, los puntos A_1 y A_2 (activación) conviene que sean accesibles, si se utiliza la técnica de TI, por razones de conexiónado que se estudiarán en el párrafo siguiente.

Los módulos pueden disponer de entradas de -- puesta a cero (clear) y puesta a uno (preset) para realizar el marcado o desmarcado inicial del lugar. En caso contrario dicha condición inicial se cableará a una de las entradas de activación o desactivación.

Finalmente, conviene decir que existen CI comerciales que pueden utilizarse como módulos directamente o con un mínimo de lógica adicional /DAV 80/ /TEX 76/ /SIL 82/.

3.2 CONEXIONADO DE MÓDULOS

El conexiónado varía ligeramente según se -- utilice el método de desactivación por Transferencia Impulsional o por Llamada/Respuesta.

Ambas técnicas se muestran en la figura 7. -- Desde la óptica del cableado difieren únicamente en el punto desde donde se toma la señal de desactivación de la célula "j": señal A_1 de la célula "k" (TI) o salida Y de la -- misma célula (LL/R).

/3/ SIL 82 - SILVA M.: Las redes de Petri en la Automática y en la Informática. Editorial AC., Madrid

/4/ TEX 76 - TEXAS INSTRUMENT.: The TTL data book for design Engineers.

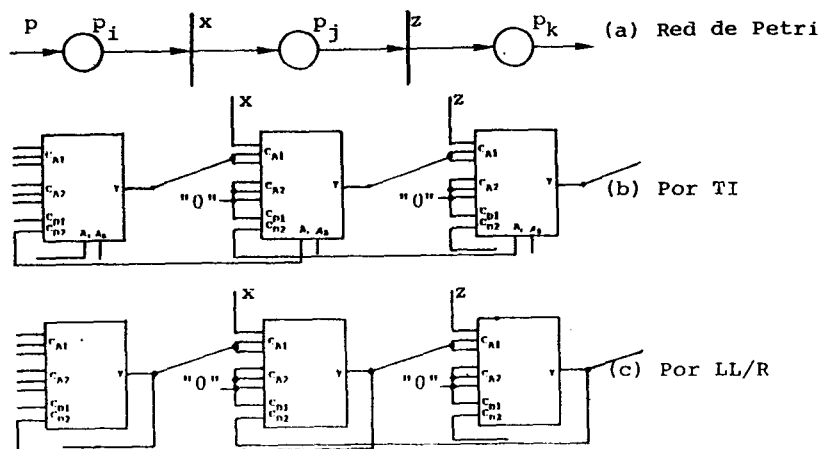


Figura 7: Conexionado de módulos por TI y LL/R.

El funcionamiento por TI puede exigir la existencia de un retardo Δ en caso de utilizar células de memoria asíncronas. Con funcionamiento por LL/R el elemento de retardo, normalmente, no es necesario. Este último tipo de funcionamiento no es factible en realizaciones síncronas ya que provocaría un solapamiento de un ciclo de reloj entre las activaciones de los lugares de entrada y salida de toda transición disparada. Un estudio más exhaustivo de las ventajas e inconvenientes de la TI y LL/R puede encontrarse en /SIL - 82/ .

4. CONCLUSION

Se han presentado las ideas básicas sobre realización cableada de RdP binarias a base de conexión de módulos estándar.

Un módulo consta de una célula de memoria, que se asocia a cada lugar, y una lógica combinatoria que materializa las transiciones de entrada al módulo. Las células de memoria pueden ser síncronas o asíncronas.

El cableado es sencillo y conserva el significado de la RdP, favoreciendo con ello la puesta a punto, el mantenimiento y la modificabilidad del sistema.

Se han presentado igualmente las dos técnicas básicas de conexionado de módulos que conducen a los funcionamientos por Transferencia Impulsional y por Llamada/Respuesta.

La realización cableada de RdP no binarias -

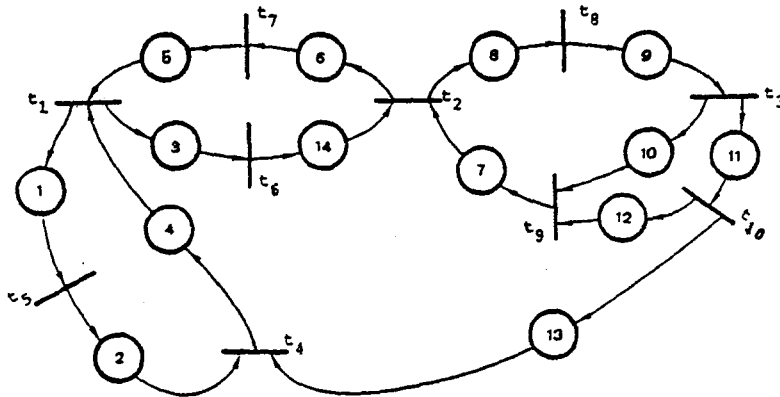
es similar a la expuesta, con la única variante de que la célula elemental de memoria de una red binaria debe sustituirse por un contador UP/DOWN.

Las condiciones de activación y desactivación pasarán a ser condiciones de incremento y decremento, respectivamente.

En el Departamento de AUTOMATICA de la E.T.S.I.I.Z. hemos desarrollado un simulador de RdP compuesto por 14 módulos síncronos. El cableado se hace externamente y se han dispuesto visualizadores (leds) del marcado de cada lugar para poder seguir la evolución de la red. Este simulador puede ser utilizado tanto para realizar prácticas en un curso de diseño de sistemas lógicos, como para facilitar la verificación del buen funcionamiento de un diseño.

4. BIBLIOGRAFIA

- /1/ DAV 80 - DAVID R., TELLEZ R. et MINTRANI E.: Emploi de cellules Universelles pour la synthese de systemes asynchrones décrits par réseaux de Pétri. Digital Processes, 6 pp.185-198.
- /2/ MAR 81 - MARTINEZ J., SILVA M y VELILLA S.: Realización cableada de RdP: Un equipo para prácticas. IV Jornadas de Automática, Jaca, Junio.



$Y_1 = (1 \ 1 \ 0 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0)^T$	$\ Y_1\ = \{p_1, p_2, p_4\}$
$Y_2 = (0 \ 0 \ 1 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0)^T$	$\ Y_2\ = \{p_3, p_5, p_6, p_{14}\}$
$Y_3 = (0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0)^T$	$\ Y_3\ = \{p_7, p_8, p_9, p_{10}\}$
$Y_4 = (0 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 0 \ 1 \ 0 \ 1 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0)^T$	$\ Y_4\ = \{p_3, p_4, p_8, p_9, p_{11}, p_{13}, p_{14}\}$
$Y_5 = (0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 1 \ 1 \ 1 \ 0 \ 1 \ 1 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0 \ 0)^T$	$\ Y_5\ = \{p_7, p_8, p_9, p_{11}, p_{12}\}$

Figura: Red de Petri (ordinaria) y sus componentes conservativas elementales.